

② 公開特許公報 (A) 平1-232597

③ Int. Cl.
G 11 C 11/34識別記号 庁内整理番号
J-8522-5B

④ 公開 平成1年(1989)9月18日

審査請求 未請求 請求項の数 1 (全7頁)

⑤ 発明の名称 半導体メモリ装置

⑥ 特願 昭63-56314

⑦ 出願 昭63(1988)3月11日

⑧ 発明者 鈴木 敦詞 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑨ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑩ 代理人 弁理士 背木 朗 外3名

明細書

1. 発明の名称

半導体メモリ装置

2. 特許請求の範囲

少なくとも外部からのクロック(CLK)および書き込み指令信号(WB)に応答してはクロックの周期毎に所定機能を実行するためのサイクルを規定し、該規定されたサイクルの開始時点においては書き込み指令信号が所定の論理レベルにある時に書き込み信号(HS)を出力する回路(1)と、

前記外部クロックを逆相のクロック(CLK)に反転させる手段(2)と、

前記書き込み初期信号が出力されている時に前記逆相クロックに応答して書き込み信号(WP)を発生する回路(3)と、

前記書き込み信号が出力されている時にデータの書き込みのアクセスが行われるよう構成されたメモリセルアレイ(4)と、

該メモリセルアレイとの間でデータの書き込みのために供する入力端子(5)と、

該入力端子からの書き込みデータ(D_{1,2})を前記外部クロックまたは逆相クロックのいずれか一方に応答してラッチし、該ラッチされたデータを前記書き込み信号に応答して前記メモリセルアレイに供給する手段(6)とを具備し、

前記入力端子から前記書き込みデータとして複数のデータ(A,B)を時分割形式で入力し、該入力された複数のデータを同時に書き込むようにしたことを特徴とする半導体メモリ装置。

3. 発明の詳細な説明

(概要)

半導体メモリ装置、特に、外部からのクロックおよび書き込み指令信号は号に応答してチップ内で書き込み信号(バス)を発生するよう構成されたSRAM装置に適し、

データ入力端子の数を半分にし、デバイスとしての回路規模の縮小化を可能にすることを目的として、

少なくとも外部からのクロックおよび書き込み指令信号に応答して該クロックの周期毎に所定機能

を実行するためのサイクルを規定し、該規定されたサイクルの開始時点において該書き込み指令信号が所定の論理レベルにある時に書き込み制御信号を出力する回路と、前記外部クロックを逆相のクロックに反転させる手段と、前記書き込み制御信号が出力されている時に前記逆相クロックに応答して書き込み信号を発生する回路と、前記書き込み信号が出力されている時にデータの書き込みのアクセスが行われるよう構成されたメモリセルアレイと、該メモリセルアレイとの間でデータの書き込みのために供する入力端子と、該入力端子からの書き込みデータを前記外部クロックまたは逆相クロックのいずれか一方に応答してラッチし、該ラッチされたデータを前記書き込み信号に応答して前記メモリセルアレイに供給する手段とを具備し、前記入力端子から前記書き込みデータとして複数のデータを時分割形式で入力し、該入力された複数のデータを同時に書き込むように構成する。

【産業上の利用分野】

本発明は、半導体メモリ装置に関し、特に、外部からのクロックおよび書き込み指令信号に応答してチップ内で書き込み信号（パルス）を発生するよう構成されたセルフ・タイムド・ランダム・アクセス・メモリ（以下、S T R A Mと称する）装置に関する。

通常知られているスタティックRAM（S R A M）は、外部からのアドレスデータによって選択されたメモリセルに対し、同じく外部からの書き込み信号（パルス）に応答してデータの書き込みを行うよう構成されたメモリである。この場合、アドレスデータも書き込みパルスもそれぞれ非同期的に印加されるので、データの書き込みの際には書き込みパルスの印加タイミングをチップ外部で調整する必要がある。ところが実際には、このような印加タイミングの外部での調整は比較的困難であり、そのため、該タイミングに成る程度の時間的余裕をとることが一般的に行われている。従って、このようなS R A Mは、より一層の高速対応化への

要望に直面した時に不利な一面を呈することになる。このような不利な面に鑑みて最近開発されているデバイスに、上述のS T R A Mがある。

【従来の技術】

第5図には上述したS T R A M装置の従来形の一例成例が示される。

第5図において、50は通常のスタティック形メモリセルアレイ、51,52,53,54aおよび54bは外部クロックCLKに応答してそれぞれアドレスデータADD、ロー・アクティブのチップ選択信号CS、ロー・アクティブの書き込み指令信号WE、書き込みデータD_{1a}(a)、書き込みデータD_{1a}(b)をラッチするレジスタ、55はレジスタ52の出力の反転信号とレジスタ53の出力信号とに応答するアンドゲート、56はレジスタ52の出力の反転信号とレジスタ53の出力の反転信号とに応答するアンドゲート、57はアンドゲート56の出力信号WSが“H”レベルの時にクロックCLKに応答して書き込みパルスWPを発生する回路、58aおよび58bはトライステートバッファ

アで、それぞれ書き込みパルスWPに応答して書き込みデータD_{1a}(a)、D_{1a}(b)を通過させる機能を有し、そして、59aおよび59bもトライステートバッファで、それぞれアンドゲート55からの読み出し制御信号OEに応答して読み出しデータD_{out}(a)、D_{out}(b)を通過させる機能を有している。

第5図に示される構成において、チップ選択信号CSが“L”レベルに変化して外部クロックCLKのレベル変化（例えば立上りエッジ）でレジスタ52にラッチされた時に、S T R A M装置はアクティブ状態となる。チップ選択信号CSと同時に書き込み指令信号WEが入力されると、外部クロックCLKのレベル変化（立上りエッジ）に同期して書き込み指令信号WEに対応のレジスタ53には“H”レベルまたは“L”レベルがラッチされる。具体的には、書き込み指令信号WEが“H”レベルの時、アンドゲート55の出力信号WSが“H”レベルとなってバッファ59aおよび59bが機能し、読み出し動作が行われる。逆に、書き込み指令信号WEが“L”レベルの時、アンド

ゲート56の出力信号45が"1"レベルとなり、書き込みパルス発生回路57から書き込みパルスWPが発生されてパッファ58aおよび58bが機能し、書き込み動作が行われる。

すなわちこの場合には、外部クロックCLKと書き込み指令信号R/Wに応答して該クロックの周期毎に読出しサイクルと、および書き込みサイクルとがチップ内で自動的に規定されるようになっている。

【発明が解決しようとする課題】

上述した従来形のS T R A Mでは、外部クロックCLKのレベル変化に応答して同時に2つのデータD_{1x(a)}、D_{1x(b)}をメモリセルアレイに書き込むために、該データの数に対応した数のデータ入力端子T6aおよびT6bを設ける必要がある。

しかしながら、チップの形態をもつて1つの半導体装置においては、チップ上に占める端子のスペースは、その他の集積化された回路がチップ上に占めるスペースに比べると極めて大きいことは知られている。これは、デバイスとしての回路規模

が大きくなることを意味し、好ましくない。それ故、可能であるならば、複数のデータ(第5図の例示では2つのデータ)の書き込みを可能にする一方で、データの入力端子の数を削減できれば好適である。

本発明は、かかる従来技術における課題に鑑み開発されたもので、データ入力端子の数を半分にし、デバイスとしての回路規模の縮小化を可能にする半導体メモリ装置を提供することを目的としている。

【課題を解決するための手段、および作用】

上述した従来技術における課題は、複数の書き込みデータを時分割形式で入力し、内部でいったんラッ奇しておき、しかる後に書き込み信号に応答して該複数のデータをメモリセルアレイに同時に書き込むよう構成することにより、解決される。

従って、本発明による半導体メモリ装置は、第1図の原理ブロック図に示されるように、少なくとも外部からのクロックCLKおよび書き込み指令信

号R/Wに応答して該クロックの周期毎に所定箇箇を実行するためのサイクルを規定し、該規定されたサイクルの開始時点において該書き込み指令信号が所定の論理レベルにある時に書き込み制御信号を出力する回路1と、前記外部クロックを逆相のクロックCLKに反転させる手段2と、前記書き込み制御信号が出力されている時に前記逆相クロックに応答して書き込み信号WPを発生する回路3と、前記書き込み信号が出力されている時にデータの書き込みのアクセスが行われるよう構成されたメモリセルアレイ1と、該メモリセルアレイ1との間でデータの書き込みのために供する入力端子5と、該入力端子からの書き込みデータD_{1x}を前記外部クロックまたは逆相クロックのいずれか一方に応答してラッ奇し、該ラッ奇されたデータを前記書き込み信号に応答して前記メモリセルアレイに供給する手段6とを具備している。

そして、前記入力端子から前記書き込みデータとして複数のデータA,Bを時分割形式で入力し、該入力された複数のデータを同時に書き込むように構

成されている。

従って、複数のデータA,Bに対して本来ならば2つのデータ入力端子を必要とするところであるが、本発明によれば1つの入力端子で済む。つまり、データ入力端子の数を半分にすることができる。これは、デバイスとしての回路規模の縮小化に寄与するものである。

なお、本発明の他の構成上の特徴および作用の詳細については、添付図面を参照しつつ以下に記述する実施例を用いて説明する。

【実施例】

第2図には本発明の一実施例としてのS T R A M装置の構成がブロック的に示される。

第2図において、T1~T4、T5a、T5bおよびT6はチップの端子、20は通常のスタティック形メモリセルアレイを示す。なお、ここで言うメモリセルアレイとは、複数のワード線およびビット線の交差部にメモリセルがそれぞれ配設された本來のセルアレイと、メモリセルに対してアクセスを行

うための周辺回路との双方を含むものとする。端子T1~T4にはそれぞれアドレスデータADD、ロー・アクティブのチップ選択信号CS、ロー・アクティブの書き込み指令信号WE、クロックCLKが入力されるようになっている。また、端子T5a およびT5b はそれぞれメモリセルアレイ20との間でデータD_{out} (a)、D_{out} (b) の読み出しのために供されるデータ出力端子、端子T6はメモリセルアレイ20との間でデータの書き込みのために供される共通の入力端子、をそれぞれ表す。なお、書き込みデータD_{in}は本実施例では2つのデータaおよびbからなっている。

端子T1とメモリセルアレイ20との間にはレジスタ21が介在され、該レジスタ21は、アドレスデータADDをクロックCLKに応答してラッチする機能を有し、具体的には、クロックCLKが“H”レベルの時のアドレスデータを保持してメモリセルアレイ20に供給する。端子T2にはレジスタ22が接続され、該レジスタ22は、クロックCLKが“H”レベルの時のチップ選択信号CSを保持して出力する機能

を有している。同様に端子T3にはレジスタ23が接続され、該レジスタ23は、クロックCLKが“H”レベルの時の書き込み指令信号WEを保持して出力する機能を有している。

また、メモリセルアレイ20と入力端子T6との間は2系統に分かれており、一方の系統にはレジスタ24a およびトライステートバッファ28a が介在され、他方の系統にはレジスタ24b およびトライステートバッファ28b が介在されている。レジスタ24a は、外部クロックCLKが“H”レベルの時の書き込みデータD_{in} (この場合にはデータa) をラッチしてバッファ28a に供給する。このバッファ28a は、後述の書き込みパルス発生回路27からの書き込みパルスWPが“H”レベルの時に、レジスタ24a を通して送られてくる書き込みデータaをメモリセルアレイ20に供給する機能を有している。一方、レジスタ24b は、逆相クロックCLKが“H”レベルの時の書き込みデータD_{in} (この場合にはデータb) をラッチしてバッファ28b に供給する。このバッファ28b は、バッファ28a と同様に、書き込みパル

ス発生回路27からの書き込みパルスWPが“H”レベルの時に、レジスタ24b を通して送られてくる書き込みデータbをメモリセルアレイ20に供給する機能を有している。なお、逆相クロックCLKは、外部クロックCLKをインバータ10に通すことにより得られる。

さらに、メモリセルアレイ20と出力端子T5a およびT5b との間にはそれぞれトライステートバッファ29a、29b が分在されており、該バッファはそれぞれ後述のアンドゲート25からの読み出し制御信号OEが“H”レベルの時に、メモリセルアレイ20から読み出されたデータD_{out} (a)、D_{out} (b) をそれぞれ端子T5a、T5b に供給する機能を有している。

25はレジスタ22の出力の反転信号とレジスタ23の出力信号とに応答し、上述の読み出し制御信号OEを出力するアンドゲート、26はレジスタ22の出力の反転信号とレジスタ23の出力の反転信号とに応答し、書き込み制御信号WEを出力するアンドゲートを示す。書き込みパルス発生回路27は、書き込み制御

信号WSが“H”レベルの時に、前述の逆相クロックCLKの立上りエッジ、すなわち外部クロックCLKの立下りエッジに応答して前述の書き込みパルスWPを発生する機能を有している。

次に、書き込みパルス発生回路の一構成例について第3図を参照しながら説明する。

ここに示される書き込みパルス発生回路は、逆相クロックCLKを所定時間だけ遅延させて信号S1として出力する遅延回路30と、該遅延回路よりは大きな遅延量(第4図参照)をもって該逆相クロックCLKを所定時間だけ遅延させ、信号S2として出力する遅延回路31と、該信号S2を反転させるインバータ32と、該インバータ32の出力と遅延回路30の出力S1とに応答して信号S3を出力するアンドゲート33と、該信号S3と前述の書き込み制御信号WSとに応答して書き込みパルスWPを出力するアンドゲート34とから構成されている。

次に、第2図に示されるS T R A M装置の動作について第4図のタイミング図を参照しながら説明する。

特開平1-232597 (5)

まず、端子T2に“L”レベルのチップ選択信号ESを印加し、この状態で端子T3に“L”レベルの書き込み指令信号WEを印加し、端子T4にクロックCLKを印加すると、該クロックCLKの立上りエッジに同期して書き込みサイクルレートが規定される。

書き込みサイクルレートの開始時点(いすの時点)で書き込み指令信号WEが“L”レベルの時にクロックCLKが立上ると、アンドゲート26の出力信号WSは“H”レベルとなる。また、クロックCLKの立上りエッジに応答してレジスタ24aには端子T6から書き込みデータDi₁としてデータaが取り込まれる。つまり、レジスタ24aは「有効」となる。

次いで、逆相クロックCLKが立上ると(いすの時点)、レジスタ24bには端子T6から書き込みデータDi₂としてデータbが取り込まれる。つまり、レジスタ24bは「有効」となる。また、書き込みパルス発生回路27は、“H”レベルの書き込み制御信号WSに基づき、“H”レベルの逆相クロックCLKに応答して書き込みパルスWPを発生する。

書き込みパルスが発生されると、トライステート

バッファ28aおよび28bが共に機能し、レジスタ24aおよび24bにそれぞれラッチされているデータa、データbは対応のバッファを介してメモリセルアレイ20に供給される。つまり、この時点で2つのデータaおよびbがメモリセルアレイに同時に書き込まれることになる。

このように、インバータ10等の反転手段を用いて外部クロックCLKをレベル反転させたクロックCLKをデバイス内で準備し、この2種類のクロックCLKおよびCLKを利用して、2種類のデータaおよびbを同一の端子T6から時分割形式で入力可能としている。従って、本来(第5図参照)ならば書き込みデータの数に対応した数の入力端子を設ける必要があるが、本装置の構成によればデータ入力端子の数を半分にすることができる。これは、チップ上に占める端子の面積が一般に比較的大きいことを考慮すると、デバイス全体としての規模の縮小化に寄与するものである。

なお、上述した実施例では外部クロックCLKの立上りエッジで書き込みデータaをラッチし、該外

部クロックCLKの立下りエッジで書き込みデータbをラッチするよう構成したが、これは、それぞれ逆のエッジでラッチするよう構成することもできる。

【発明の効果】

以上説明したように本発明の半導体メモリ装置によれば、データ入力端子の数を半分にすることができる、それによって、デバイスとしての回路規模の縮小化に寄与することができる。

4. 図面の簡単な説明

第1図は本発明による半導体メモリ装置の原理ブロック図。

第2図は本発明の一実施例としてのSTRAM装置の構成を示すブロック図。

第3図は第2図における書き込みパルス発生回路の一構成例を示す回路図。

第4図は第2図装置の動作タイミング図。

第5図は従来形の一例としてのSTRAM装置の構成を示すブロック図。

(符号の説明)

- 1…サイクル規定回路、2…クロック反転手段、
- 3…書き込み信号発生回路、
- 4…メモリセルアレイ、5…入力端子、
- 6…書き込みデータラッチ手段、
- CLK…外部クロック、CLK…逆相クロック、
- A、B、Di₁…書き込みデータ、
- WE…書き込み指令信号、WS…書き込み制御信号、
- WP…書き込み信号。

特許出願人

吉士通株式会社

特許出願代理人

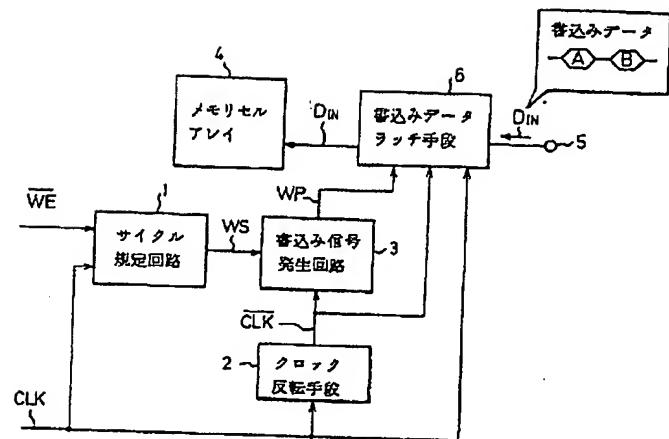
弁理士 青木 朗

弁理士 西錦 和之

弁理士 内田 幸男

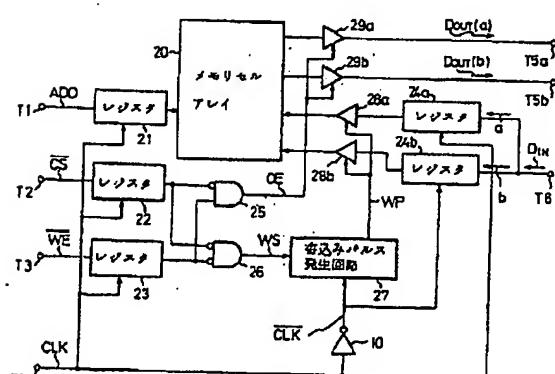
弁理士 山口 昭之

特開平1-232597(6)



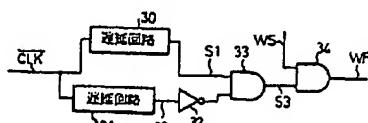
本発明による半導体メモリ装置の原理ブロック図

第1図



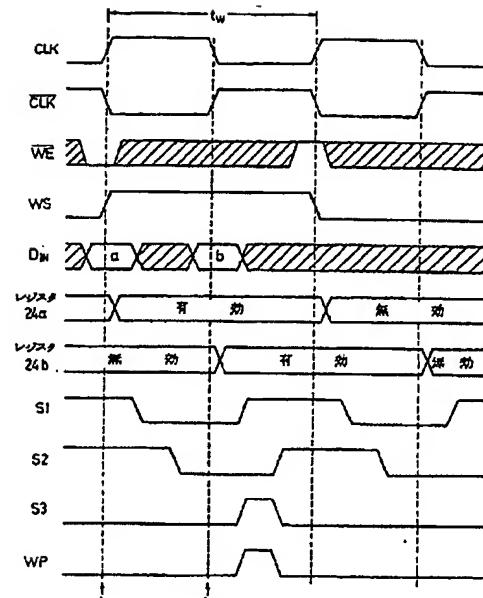
本発明の一実施例としてのSRAM
装置の構成を示すブロック図

第2図



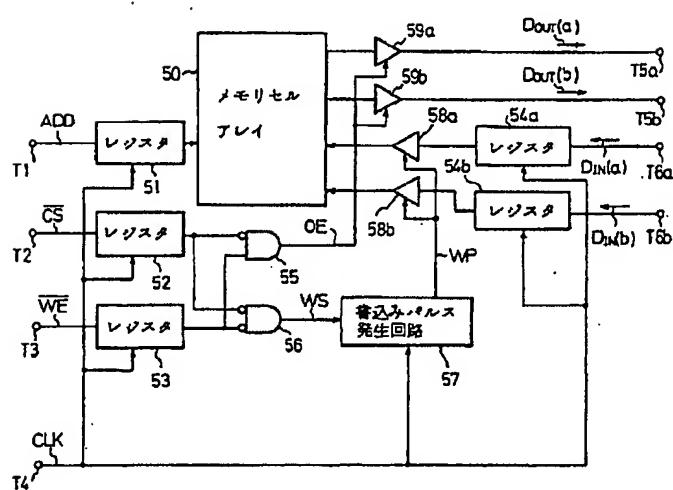
第2図に示す寄込みパルス発生回路の一構成を示す回路図

第3図



第2回装置の動作タイミング図

第4図



従来形の一例としてのSTRAM
装置の構成を示すブロック図

第5図

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第6部門第4区分
【発行日】平成7年(1995)10月13日

【公開番号】特開平1-232597
【公開日】平成1年(1989)9月18日
【年号数】公開特許公報1-2326
【出願番号】特願昭63-56314
【国際特許分類第6版】
G11C 11/413
【F1】
G11C 11/34 J 6866-5L

手 緒 書 正 告

平成6年10月1日

特許庁長官 高島 幸哉

1. 事件の表示
昭和63年特許出願第056314号

2. 発明の名称
半導体メモリ装置
3. 補正をする者
事件との関係 特許出願人

名所 (522) 富士通株式会社

4. 代理人

住所 〒105 東京都港区虎ノ門一丁目1番10号 虎光虎ノ門ビル
音和特許法律事務所 電話 3594-0721

氏名 弁理士 (5578) 井本 勝

5. 補正に上り增加する請求項の数 1

6. 補正の対象

(1) 明細書の「特許請求の範囲」の範

7. 補正の内容

(1) 明細書の「特許請求の範囲」を別紙の通り補正する。

8. 送付書類の日時

9. 特許請求の範囲

2. 特許請求の範囲

1. 立ち上がりエッジおよび立ち下がりエッジを有する外部クロック信号を受信する半導体メモリ装置であって、

メモリセルアレイ (40, 40a, 40b) と、

該メモリセルアレイに動作可能な接続され、該メモリセルアレイの読み出しサイクルおよび書き込みサイクルのいずれか一方を行なう動作する制御信号を受信し、該制御信号の立ち上がりエッジおよび立ち下がりエッジのいずれか一方

に応答して該制御信号をラッチする第1のラッチ回路 (41) と、

該記メモリセルアレイに動作可能な接続され、書き込みデータを受信し、該記制御信号の立ち上がりエッジおよび立ち下がりエッジの地方に応答して書き込みデータをラッチする第2のラッチ回路 (41) と、

該記メモリセルアレイおよび該記第1のラッチ回路に動作可能な接続され、該第1のラッチ回路にラッチされた該記制御信号が該記書き込みサイクルを指示している時に該メモリセルアレイに書き込み信号 (47) を供給する書き込み信号発生回路 (47, 48, 49) を実施することを特徴とする半導体メモリ装置。

2. 該記外部クロック信号の立ち上がりエッジおよび立ち下がりエッジの地方に応答して書き込み動作のキックセルを有する信号を書き込み手段をさらに具備することを特徴とする該装置に記載の半導体メモリ装置。

② JAPAN PATENT OFFICE (JP) ② Unexamined Patent
Publication

② Publication of an Unexamined Patent Application (A) Hei 1-232597

(51) Int. Cl.⁴ Identification JPO File Num- (24) Publication Date
G 11 C 11/34 Codes ber September 18, 1989
J-8522-5B

J
Number of Claims 1 (Total of 7 pages)

(54) SEMICONDUCTOR MEMORY DEVICE
(21) Japanese Patent Application 63-56314
(22) Application Date March 11, 1988
(72) Inventor Atsushi SUZUKI Fujitsu, Ltd., Kamiodanaka 1015, Na-
kahara-ku, Kawasaki-shi, Kanagawa
(73) Patentee: Fujitsu, Ltd., Kamiodanaka 1015, Nakahara-ku, Kawasaki-shi,
Kanagawa
(74) Agent Patent Attorney Akira AOKI, and 3 others

SPECIFICATION

1. Title of the Invention

SEMICONDUCTOR MEMORY DEVICE

2. What is Claimed is:

A semiconductor memory device comprising:
an output circuit (1) that responds to at least an external clock (CLK) and a write enable signal (WE), defines a cycle to execute predetermined functions for each cycle of this clock, and outputs a write control signal (WS) when the write enable signal has the predetermined logic level at the point when the defined cycle begins;
means (2) for reversing the external clock to an inverted clock (CLK);
a circuit (3) that responds to the inverted clock (CLK) when a write control signal is outputted and generates a write pulse (WP);
memory cell arrays (4) configured to perform data write access when the write signal is outputted;
an input terminal (5) to write data between these memory cell arrays; and
means (6) for responding to and latching the write data (D_{IN}) from the input terminal to either the external clock or the inverted clock, responding

to the write signal, and supplying this latched data to the memory cell array;

wherein a plurality of data (A, B) is input in time-division format from the input terminal as write data, and simultaneously this plurality of input data is written.

3. Detailed Description of the Invention

(Summary)

This [invention] relates to semiconductor memory devices, and in particular to STRAM devices configured to respond to external clocks and Write enable signals, generating write signals (pulses) in the chip,

and it is an object [of this invention] to divide in half the number of data input terminals, enabling a reduction in the circuit scale of devices,

and comprises an output circuit that responds to at least an external clock and a write enable signal, defines a cycle to execute predetermined functions for each cycle of this clock, and outputs a write control when the write enable signal has the predetermined logic level at the point when the defined cycle begins; a means for reversing the external clock to an inverted clock; a circuit that responds to the inverted clock when a write control signal is outputted and generates a write signal; memory cell arrays configured to perform data write access when the write signal is outputted; an input terminal to write data between these memory cell arrays; and a means for responding to and latching the write data from the input terminal to either the external clock or the inverted clock, responding to the write signal, and supplying this latched data to the memory cell array; wherein a plurality of data is input in time-division format from the input terminal as write data, and simultaneously this plurality of input data is written.

Industrial Field of Use

This invention relates to semiconductor memory devices, and more particularly to self-timed random access memory (hereinafter "STRAM") devices configured to respond to external clocks and Write enable signals, generating write signals (pulses) in the chip.

Typical static RAM (SRAM) is memory configured to respond to external write signals (pulses) with respect to memory cells selected similarly by external address data, and to perform data writing. Thus, since the test data

and the right pulses are respectively applied asynchronously, the timing of the application of write pulses when data is written must be regulated externally from the chip. In actual practice, however, it is relatively difficult to regulate this sort of timing application externally, and as a consequence, a certain amount of leeway is typically built into the timing. Therefore, this kind of SRAM is disadvantageous terms of dealing the need to respond with still higher speeds. Thus, STRAM has recently been developed in light of this disadvantage.

Prior Art

Fig. 5 shows a constitution of a prior art STRAM device mentioned above.

In Fig. 5, 50 is a conventional static memory array; 51, 52, 53, 54a and 54b are registers responding to the external clock CLK that latch, respectively, addresses data ADO, low active chip select signal CS, low row active write enable signal WE, write data $D_{IN}(a)$, and write data $D_{IN}(b)$; 55 is an AND gate responding to the reversing signal output by the register 52 and the output signal from register 53; 56 is an AND gate that responds to the reversing signal output of registers 52 and the reversing signal output of register 53; 57 is a circuit that responds to the clock CLK when the output signal WS of the AND gate 56 is at "B" level and generates write pulses WP; 58a and 58b are tristate buffers that have the feature of responding respectively to write pulses WP and passing through write data $D_{IN}(a)$ and $D_{IN}(b)$. Moreover, 59a and 59b are tristate buffers having the function of responding to reading control signals OD from the AND gate 55 and passing these through data $D_{OUT}(a)$ and $D_{OUT}(b)$, respectively.

In the constitution shown in Fig. 5, when the chip select signal CS changes to the "L" level and is latched to the register 52 by the change in the external clock CLK level (for example, the edge of the rise), the STRAM device goes into active status. When a write enable signal WE is input at the same time as the chip select signal CS, is synchronized with the level change of the external clock CLK (the edge of the rise), and the level is latched to "H" level or the "L" level in the register 53 corresponding to the write enable signal WE. Specifically, when the write enable signal WE is at "H" level, the output signal OE of the AND gate 55 goes to "H" level, the buffers 59a and 59b function, and a reading operation is performed. Conversely, when the write enable signal WE is at "L" level, the AND gate 56 output signal WS goes to "H" level, a write pulse WP from the write pulse generating circuit 57 is

generated, the buffers and 58a and 58b function, and a write operation is performed.

Thus, in this case, the read cycle t_R and write cycle t_W are automatically defined in the chip for each clock cycle in response to the external clock CLK and the write enable signal WE.

Problems the Invention Seeks to Resolve

In the above-described prior art STRAM, in order for two data $D_{IN}(a)$ and $D_{IN}(b)$ to be simultaneously written to the memory array in response to the level change in the external clock CLK, it is necessary to provide data input terminals T6a and T6b corresponding [in number] to the number of data.

However, in typical semiconductor devices having to configurations, it is well known that the space occupied on the chip by terminals is very much larger than the space occupied on the chip by other integrated circuits. This means that the scale of the circuits in the device becomes large, which is not desirable. Moreover, it is desirable to the greatest extent possible to enable the writing of multiple data (two data in the example shown in Fig. 5), and to reduce the number of data input terminals.

The present invention has been devised in a view of these defects in the prior art technology and it is an objective of the invention to provide a semiconductor memory device in which the number of data input terminals is halved and enables reductions in the scale of circuits in a device.

Means of Solving the Problems and Operation of the Invention

The above-described problems with the prior technology are resolved in a constitution wherein multiple write data can be time-division inputted, temporarily latched internally, and subsequently the multiple data are simultaneously written to the memory cell array in response to a write signal.

Therefore, the semiconductor memory device of this invention comprises an output circuit 1 that responds to at least an external clock and a Write enable signal, defines a cycle to execute predetermined functions for each cycle of this clock, and outputs a write control when the Write enable signal has the predetermined logic level at the point when the defined cycle begins; a means 2 for reversing the external clock to an inverted clock; a circuit 3 that responds to the inverted clock when a write control signal is outputted and generates a write pulse WP; memory cell arrays 4 configured to perform data write access when the write signal is outputted; an input terminal 5 to write data between these memory cell arrays; and a means 6 for responding to

and latching the write data D_{IN} from the input terminal to either the external clock or the inverted clock, responding to the write signal, and supplying this latched data to the memory cell array as shown in the block diagram of the proposed method in Fig. 1.

Moreover, it is configured so that a plurality of data A, B is input in time-division format from the input terminal as write data, and simultaneously this plurality of input data is written.

Therefore, where in the past two data input terminals had been required for multiple data A, B, in the present invention a single input terminal suffices. Thus, the number of data input terminals can be reduced by half, contributing to a reduction in the circuit size of devices.

The following detailed description of the characteristics and operation of other configurations of preferred embodiments of the invention is made below with reference to the attached drawings.

Preferred Embodiments

Fig. 2 is a configuration block diagram showing an STRAM device, which is one embodiment of the present invention.

In Fig. 2, T1~4, T5a, T5b, and T6 denote chip terminals; 20 denotes a typical static-type memory cell array. In this instance, a static type memory cell array having a memory cell disposed at each intersection between a plurality of word lines and a plurality of pairs of bit lines. The terminals T1~T4 receive the address signal ADD, a low active chip select signal CS, a low active write enable signal WE and a clock CLK, respectively. Also, the terminals T5a and T5b are data output terminals employed for reading both $D_{OUT}(a)$ and $D_{OUT}(b)$ from the memory cell array 20, and T6 is a common input terminal for writing data between the memory cell arrays 20. The write data D_{IN} in the present embodiment consists of two data a and b.

A register 21, disposed between the terminal T1 and the memory cell array 20, has the function of latching the address signal ADD in response to the clock CLK. Specifically, it holds and outputs the address data when the clock CLK is at "H" level and supplies it to the memory cell array 20. The register 22 is connected to the terminal T2 and this register 22 has the function of holding and outputting the chip select signal CS when the clock in CLK is at "H" level. Similarly, the register 23 is connected to the terminal T3, and this register 23 has the function of holding and outputting the write enable signal WE when the clock CLK is at "H" level.

Moreover, the memory cell array 20 and the input terminal T6 is divided into two paths wherein the register 24a and the tristate buffer 28a are interposed in one path while the register 24b and the tristate buffer 24b are interposed in the other path. The register 24a latches write data D_{IN} (in this case, Data a), when the external clock CLK is at "H" level, supplying it to the buffer 28a. This buffer 28a has the function of supplying the write data a that has been sent through the register 24a to the memory cell array 20 when the write pulse WP generated by the write pulse generating circuit 27 that will be described below is at "H" level. Conversely, the register 24b latches and supplies to the buffer 28b the write data D_{IN} (in this case, Data b), when the inverse clock CLK is at "H" level. In this buffer 28b has the function of supplying the write data b that has been sent through the register 24b to the memory cell array 20 when the write pulse WP generated by the write pulse generating circuit 27 is at "H" level, similar to the buffer 28a. The inverse clock CLK is acquired from the external clock by way of an inverter 10.

Further, tristate buffers 29a and 29b are disposed between the memory cell array 20 and the output terminals 15a and 15b, respectively, and these buffers have the function of supplying reading data $D_{OUT}(a)$ $D_{OUT}(b)$ received from the memory cell array 20 when the reading control signals OB sent from the AND gate 25, to be described below, is at "H" level.

25 is an AND gate that responds to the inverted signal output of the register 22 and the output signal of the register 23, outputting the above-described read control signal OB, and 26 is an AND gate that responds to the inverted signal output of the register 23, outputting a write control signal WS. The write pulse generating circuit 27 has the function of responding to the rising edge of the aforesaid inverted clock CLK, which is to say the falling edge of the external clock CLK, when the write control signal WS is at "H" level, and generating the aforesaid write pulse WP.

The following description of an example of the constitution of the write pulse generating circuit is made with reference to Fig. 3.

The write pulse generating circuit indicated here is constituted by a delay circuit 30 for delaying the inverted clock CLK by a predetermined time only and outputting the delayed clock as a signal S1; a delay circuit 31 that uses a large amount of delay (see Fig. 4), from said delay circuit and delays the inverted clock CLK only by the predetermined time, outputting this as signal S2; an inverter 32 that inverts said signal as S2; an AND gate 33 that responds to the output of said inverter 32 and the output S1 of the delay

circuit 30, outputting this as signal S3; and AND gate 34 that responds to said signal S3 and the aforesaid write control signal WS and outputs a write pulse WP.

Next, the operation of the STRAM device shown in Fig. 2 will be explained with reference to the timing chart in Fig. 4.

First, an "L" level chip select signal CS is applied to the terminal T2. In this state, when the write enable signal WE is applied to the terminal T3 and the clock CLK is applied to the terminal T4, a write cycle t_w is defined in synchronization with the rising edge of the clock CLK.

If there is a clock CLK rise when the write enable signal WE is at "L" level at the start of the write cycle t_w (t_s point), the output signal the WS of the AND gate 26 goes to "H" level. Moreover, write data D_{IN} taken into the register 24a from the terminal T6 in response to the rising edge of the clock CLK. In other words, the register 24a becomes "valid".

Next, when the inverted clock CLK rises (the t₂ point), data is taken into the register 24b from the terminal T6 as write data D_{IN}. In other words, the register 24b becomes "valid". Also, the write pulse generating circuit 27 generates a write pulse WP based on the "H" level write control signal WS in response to the "H" level inverted clock CLK.

When a write pulse is generated, both the tristate buffers 28a and 28b function and datas a and b that are respectively latched to the registers 24a and 24b are supplied to the memory cell array 20 via their corresponding buffers. In other words, at this point the two datas a and b are simultaneously written.

In this way, an inverter 10 or other inversion means is used and a clock CLK that is level-inversion of an external clock CLK is readied in the device, these two types of clocks CLK and CLK are used, and two types of data a and b can be inputted in time division format from the same terminal T6. Therefore, where conventionally (see Fig. 5) it had been necessary to provide a plurality of input terminals corresponding to the number of write datas, the number of input terminals can be halved in the constitution of this device. This is relatively significant in terms of the terminal area occupied on chips, and therefore represents a contribution to the reduction the overall size of devices.

As a described in the preferred embodiment, write data a is latched at the rising edge of the external clock CLK, and write data b is latched at the falling edge of the external clock CLK. However a configuration is possible in which latching is performed by reversing the edges.

Effect of the Invention

As described above, the semiconductor memory device of the present invention permits the number of data input terminals to be halved and, as a result, contributes to the miniaturization of circuit size in devices.

Brief Description of the Drawings

Fig. 1 is a block diagram showing the principles of the present invention.

Fig. 2 is a block diagram showing a preferred embodiment STRAM constitution of the present invention.

Fig. 3 is a circuit diagram showing of preferred embodiment STRAM constitution of the present invention.

Fig. 4 is a timing chart of the device shown in Fig. 2.

Fig. 5 is a block diagram showing a constitution of an example of a prior art STRAM device.

Symbols

1 Cycle defining circuit
 2 Clock inversion means
 3 Write signal generating circuit
 4 Memory cell array
 5 Input terminal
 6 Write data latch means
 CLK External clock CLK Inverted clock
 A, B, D_{IN} Write data
WE Write enable signal
 WS Write control signal
 WP Write pulse

Assignee Fujitsu, Ltd.

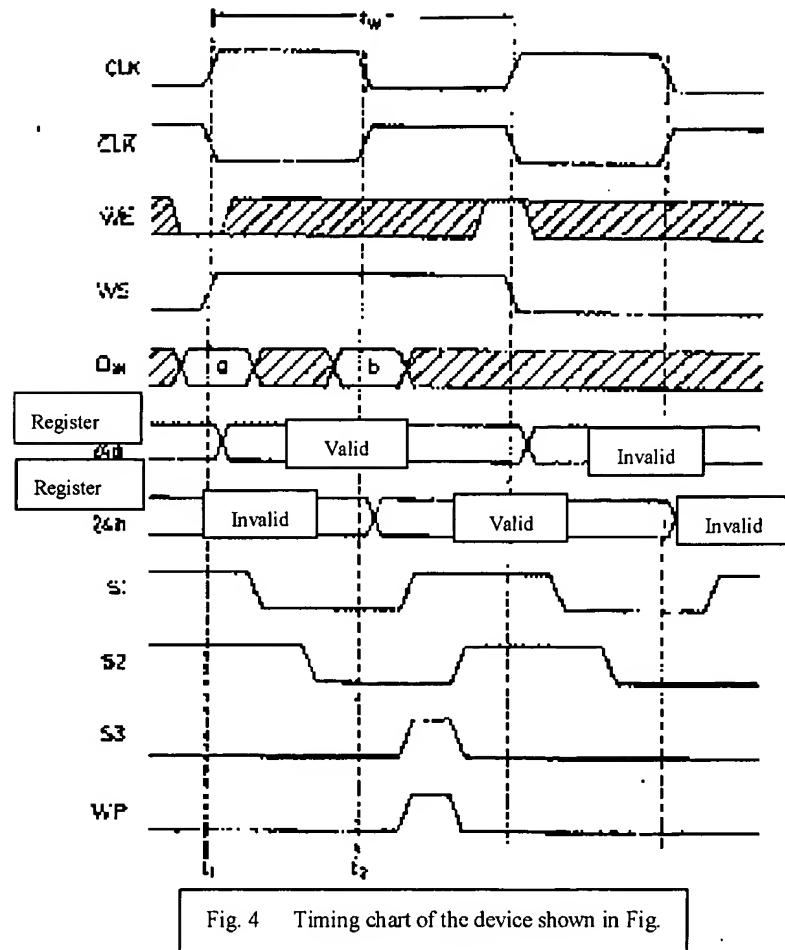
Patent Applicant Representatives

Akira AOKI Patent Attorney

Kazuaki NISHIKATA Patent Attorney

Yukio NISHIDA
Akiyuki YAMAGUCHI

Patent Attorney
Patent Attorney



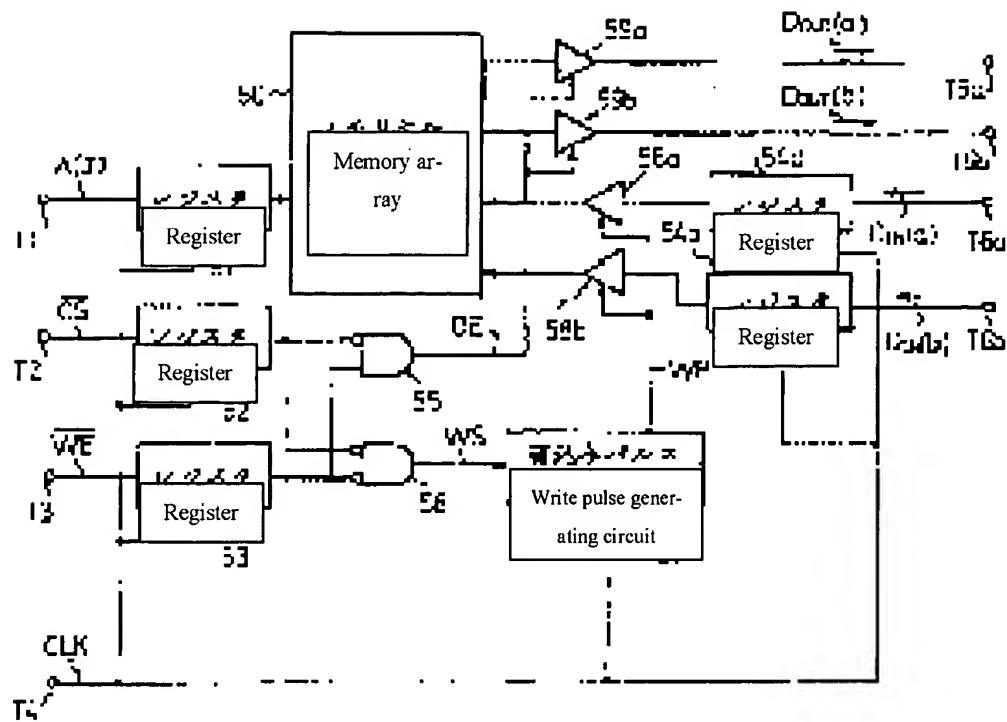


Fig. 5 Block diagram showing a constitution of an example of a prior art SRAM device.

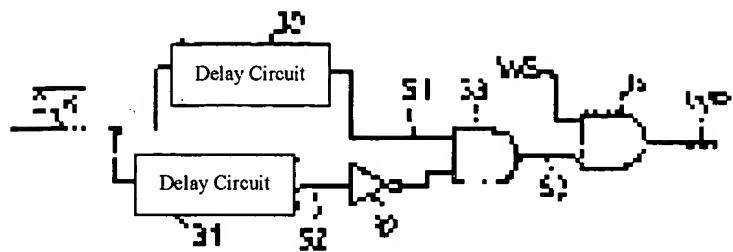


Fig. 5 Block diagram showing a constitution
of an example of a prior art STRAM device.

Procedural Amendment
September 8, 1996

To the Director of the Patent Office: Mr. S. TAKASHIMA

1. Indication of Case

Title of Invention
Semiconductor memory device

3 Person Making Amendment

4. Representative

Address: Seina [or "Aowa"] patent Office Seiko Toranomon Building
8-10 Toranomon 1-chome, Minato-ku, Tokyo Tel 3504-0721

5. Increase in number of claims due to amendment: 1

6. Subject of amendment

(1) Specification "Claims" section

7. Content of Amendment

(1) Scope of Claim

2. What is Claimed is:

1. A semiconductor memory device receiving an external clock having a rising edge and a falling edge comprising:

a memory cell array (40, 40a, 40b);

a first latch circuit (43) operatively connected to the memory cell array, for receiving a control signal designating one of a read cycle and a write cycle for the memory cell array, the first latch circuit latching the control signal in response to one of the rising edge and the falling edge of the external clock;

a second latch circuit (44) operatively connected to the memory cell array, for receiving a write data, the second latch circuit latching the write data in response to another of the rising edge and the falling edge of the external clock; and

write signal generating circuits (47, 48, 49) operatively connected to the memory cell array and the first latch circuit, for feeding a write signal (WP) to the memory cell array when the control signal latched in the first latch circuit designates the write cycle.

2. A semiconductor memory device as set forth in Claim 1, further provided with a means wherein the write signal generating circuit receives a write control signal designating a cancellation of a write operation at another of the rising edge and the falling edge of the external clock and stops feeding the write signal to the memory cell array.

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.